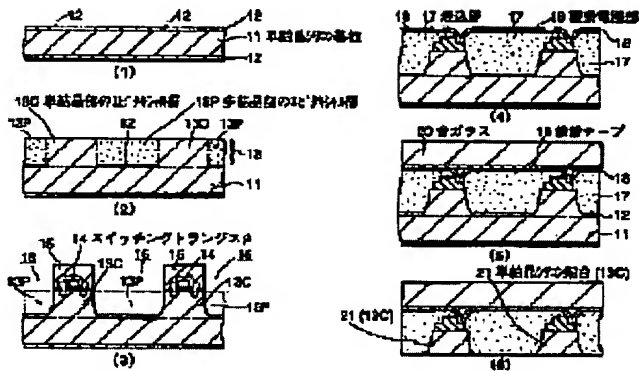


PRODUCTION OF LIQUID CRYSTAL DISPLAY DEVICE \

Patent number: JP7311391
Publication date: 1995-11-28
Inventor: YAMANAKA HIDEO
Applicant: SONY CORP
Classification:
- international: G02F1/136; H01L27/12; H01L29/786; H01L21/336
- european:
Application number: JP19940128234 19940517
Priority number(s):

Abstract of JP7311391

PURPOSE:To obtain a transmission type LCD device of single crystal silicon substrate featuring excellent field effect electron mobility and high performance, and reduce the cost by producing the device by the conventional LSI production techniques.
CONSTITUTION:Epitaxial layer (polycrystalline epitaxial layer) 13P of a polycrystalline part is formed in the region where the pixel-opened part is formed on a single crystal silicon(Si) substrate 11 and epitaxial layer (single crystal epitaxial layer) 13C of single crystal part is formed in the other region. The single crystal epitaxial layer 13C is then provided with switching transistor 14 and the polycrystalline epitaxial layer 13P is moved. Embedment layer 17 consisting fo a translucent resin is formed in the part where the layer is moved. Grinding and polishing are then executed from the rear surface side of the single crystal Si substrate 11 and etching is executed, at need, to expose the rear surface side of the embedment layer 17 to form single crystal Si stand 21 of the single crystal part epitaxial layer 13C is formed. The rear surface side is thereafter stuck to a color filter substrate or lower glass substrate with a transparent adhesive.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-311391

(43) 公開日 平成7年(1995)11月28日

(51) Int.Cl. ⁸	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F 1/136	5 0 0			
H 0 1 L 27/12		B		
29/786				
21/336				
	9056-4M		H 0 1 L 29/ 78	3 1 1 Y
			審査請求 未請求	請求項の数 6 F D (全 11 頁)

(21) 出願番号 特願平6-128234

(22) 出願日 平成6年(1994)5月17日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 山中 英雄

東京都品川区北品川6丁目7番35号 ソニー株式会社内

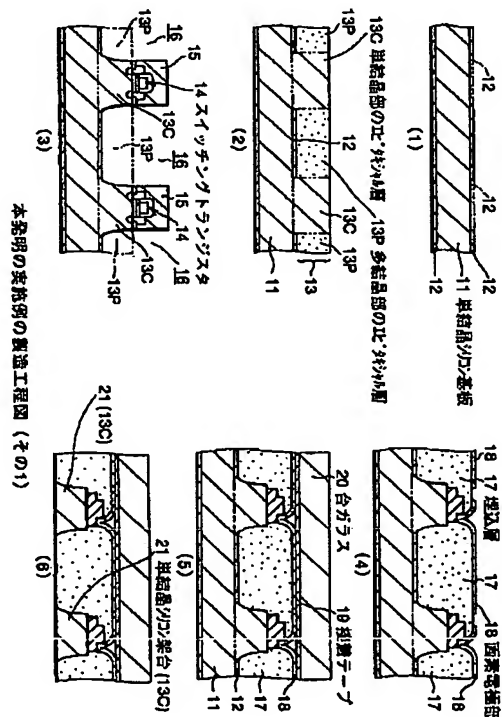
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 液晶表示装置の製造方法

(57) 【要約】

【目的】 本発明は、従来の L S I 製造技術によって製造することで低コスト化を図るとともに、電界効果電子移動度に優れた高性能の単結晶シリコン基板の透過型 L C D 装置を得る。

【構成】 単結晶シリコン (S i) 基板 11 上の画素開口部形成領域に多結晶部のエピタキシャル層 (多結晶エビ層) 13 P を形成し、他領域に単結晶部のエピタキシャル層 (単結晶エビ層) 13 C とを形成する。次いで単結晶エビ層 13 C にスイッチングトランジスタ 14 を設け、多結晶エビ層 13 P を除去する。その除去した部分に透光性の樹脂の埋込層 17 を形成する。そして単結晶 S i 基板 11 の裏面側から研削、研磨を行い、必要に応じてエッチングを行って埋込層 17 の裏面側を露出させ、単結晶部エビ層 13 C の単結晶 S i 架台 21 を形成する。その後透明接着剤 22 で裏面側を色フィルター基板 24 または下側ガラス基板 25 に貼り合わせる。



【特許請求の範囲】

【請求項 1】 単結晶シリコン基板上の画素開口部を形成しようとする領域に多結晶部のエピタキシャル層を形成し、該単結晶シリコン基板上のその他の領域に単結晶部のエピタキシャル層を形成する第 1 工程と、前記単結晶部のエピタキシャル層にスイッチングトランジスタ部および駆動用周辺回路部を形成するとともに、エッチングによって前記多結晶部のエピタキシャル層を除去する第 2 工程と、前記多結晶部のエピタキシャル層を除去した部分に透光性の樹脂からなる埋込層を形成した後、該埋込層上に画素電極部を形成する第 3 工程と、画素電極部を形成した単結晶シリコン基板の表面に高平坦度の台ガラスを貼り合わせて接着保持する第 4 工程と、前記単結晶シリコン基板の裏面側から研削および研磨を行い、さらに必要に応じてエッチングを行って、前記埋込層の裏面を露出させるとともに、単結晶部のエピタキシャル層からなる単結晶シリコン架台を形成する第 5 工程と、透明接着剤によって前記単結晶シリコン架台の裏面側を色フィルター基板または下側ガラス基板に貼り合わせる第 6 工程とからなることを特徴とする液晶表示装置の製造方法。

【請求項 2】 請求項 1 記載の液晶表示装置の製造方法において、前記第 2 工程では、前記単結晶部のエピタキシャル層にスイッチングトランジスタ部と駆動用周辺回路部とを形成するとともに、エッチングによって前記多結晶部のエピタキシャル層を除去することを特徴とする液晶表示装置の製造方法。

【請求項 3】 請求項 1 または請求項 2 記載の液晶表示装置の製造方法において、前記第 3 工程では、前記多結晶部のエピタキシャル層を除去した部分の表面に反射膜を形成し、続いて該反射膜上に透光性の樹脂からなる埋込層を形成した後、該埋込層上に画素電極部を形成することを特徴とする液晶表示装置の製造方法。

【請求項 4】 請求項 1、請求項 2 または請求項 3 記載の液晶表示装置の製造方法において、前記第 6 工程では、前記単結晶シリコン架台を透明接着剤で色フィルター基板に貼り合わせて画素側基板を形成するとともに、該画素側基板に重ね合わせる上側ガラス基板には、予め該単結晶シリコン架台に相対する位置に略半円状断面のマトリックス溝を該単結晶シリコン架台の幅以内に形成することを特徴とする液晶表示装置の製造方法。

【請求項 5】 請求項 4 記載の液晶表示装置の製造方法において、前記マトリックス溝を形成した後、該マトリックス溝の表面に反射膜を形成することを特徴とする液晶表示装置

の製造方法。

【請求項 6】 請求項 1～請求項 5 のうちの 1 項に記載の液晶表示装置の製造方法において、該液晶表示装置の上側ガラス基板と画素側基板との間に設けるシール部の内側でかつ該シール部に沿った位置における該上側ガラス基板に上側セルギャップ調整膜を形成する工程と、該上側セルギャップ調整膜の形成位置に対応する画素側基板に画素側セルギャップ調整膜を形成する工程とを行うことを特徴とする液晶表示装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、液晶表示装置の製造方法に関するものである。

【0002】

【従来の技術】アクティブマトリックス方式の LCD (liquid crystal display) には、単結晶シリコン基板トランジスタスイッチマトリックス積層液晶パネル、非晶質シリコン薄膜トランジスタスイッチマトリックスパネル、多結晶シリコン薄膜トランジスタスイッチマトリックスパネル等のタイプがある。上記タイプのうち、電界効果電子移動度が大きく従来の LSI 技術で製造が可能な単結晶シリコン基板は、不透明なシリコン基板を用いるために反射型の LCD しか作れない。そこで、現在の LCD は、非晶質シリコン TFT または多結晶シリコン TFT を用いた透過型のものが主流になっている。

【0003】

【発明が解決しようとする課題】しかしながら、非晶質シリコン TFT を用いた LCD は、汎用のものであって、高精細および高品質なものではない。他方、多結晶シリコン TFT を用いた LCD は、高精細および高品質なものになる。しかしながら、石英ガラス基板を用いているために高価なものになる。

【0004】本発明は、従来の LSI 製造技術によって安価に製造できる単結晶シリコン基板の駆動用周辺回路一体型でしかも透過型の液晶表示装置の製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、上記目的を達成するためになされた液晶表示装置の製造方法である。すなわち、第 1 工程で、単結晶シリコン基板上の画素開口部を形成しようとする領域に多結晶部のエピタキシャル層を形成し、その他の領域に単結晶部のエピタキシャル層を形成する。次いで第 2 工程で、単結晶部のエピタキシャル層にスイッチングトランジスタ部および駆動用周辺回路部を形成するとともに、エッチングによって多結晶部のエピタキシャル層を除去する。続いて第 3 工程で、エピタキシャル層を除去した部分に透光性の樹脂からなる埋込層を形成した後、埋込層上に画素電極部を形成する。そして第 4 工程で、画素部を形成した単結晶シ

リコン基板の表面に例えば高い平坦度を有する台ガラスを貼り合わせて接着保持する。または、画素電極部を形成した単結晶シリコン基板内の特性が正常なチップをダイシングで分割し、それに例えば高い平坦度を有する台ガラスを貼り合わせて接着保持する。次いで第5工程で、単結晶シリコン基板の裏面側から研削および研磨を行い、さらに必要に応じてエッチングを行って、埋込層の裏面側を露出させ、単結晶部のエピタキシャル層からなる単結晶シリコン架台を形成する。その後第6工程で、透明接着剤によって裏面側を下側ガラス基板または色フィルター基板に貼り合わせる。

【0006】また上記製造方法において、第2工程で、単結晶部のエピタキシャル層にスイッチングトランジスタ部と駆動用周辺回路部とを形成するとともに、エッチングによって多結晶部のエピタキシャル層を除去する。

【0007】上記製造方法において、第3工程で、多結晶部のエピタキシャル層を除去した部分の表面に反射膜を形成し、続いてその反射膜上に透光性の樹脂の埋込層を形成した後、埋込層上側に画素電極部を形成する。

【0008】また上記製造方法において、第6工程で、単結晶シリコン架台を透明接着剤によって色フィルター基板に貼り合わせて画素側基板を形成するとともに、その画素側基板に重ね合わせる上側ガラス基板には、予め単結晶シリコン架台に相対する位置に略半円状断面のマトリックス溝を単結晶シリコン架台の幅以内に形成する。さらにマトリックス溝の表面には反射膜を形成する。

【0009】また、液晶表示装置のシール部の内側でかつそのシール部に沿って、上側ガラス基板と下側ガラス基板との空間にセルギャップ調整膜を形成する。

【0010】

【作用】上記液晶表示装置の製造方法では、第2工程で、電界効果電子移動度の大きい単結晶シリコン部のエピタキシャル層にスイッチングトランジスタ部および駆動用周辺回路部を形成することから、スイッチングトランジスタは応答特性の良いものになる。第3工程で、エピタキシャル層を除去した部分に透光性の樹脂からなる埋込層を形成し、その上に画素電極部を形成することから、光透過率が良くなる。またその後の工程で加わる熱的応力や第5工程での研削、研磨時に加わる機械的応力が緩和される。

【0011】また第2工程で、単結晶部のエピタキシャル層にスイッチングトランジスタ部とともに駆動用周辺回路部を形成する製造方法では、駆動用周辺回路部が画素側基板に形成されることになる。そのため、駆動用周辺回路部を外付けする必要がなくなる。

【0012】上記多結晶部のエピタキシャル層を除去した部分の表面に反射膜を形成する製造方法では、多結晶部のエピタキシャル層を除去した部分の側面に反射膜が形成されることから、画素部への集光特性が高まる。

【0013】また上側ガラス基板にマトリックス溝を形成する液晶表示装置の製造方法では、単結晶シリコン架台に相対する位置の上側ガラス基板に略半円状断面のマトリックス溝が該単結晶シリコン架台の幅以内に形成されることから、上板ガラス基板側から単結晶シリコン架台に照射されていたバックライト光が画素側に有効に入射するようになる。したがって、画素部への集光特性が向上する。さらにマトリックス溝を形成することによって、その後の液晶注入工程では、液晶がマトリックス溝を通して注入されることになるので、液晶の注入がスムーズになる。また、マトリックス溝が単結晶シリコン架台の幅以内に形成されていることから、液晶の配向むらが低減される。またマトリックス溝の表面に反射膜を形成する液晶表示装置の製造方法では、画素部への集光特性がさらに向上される。

【0014】また、シール部の内側でかつそれに沿ってセルギャップ調整膜を形成する液晶表示装置の製造方法では、シールスペーサーが不要になる。そして、セルギャップ調整膜の膜厚によってセルギャップが決まるのでセルギャップの制御が確実になる。

【0015】

【実施例】本発明の実施例を図1、図2の製造工程図(その1)、(その2)により説明する。

【0016】図1の(1)に示すように、第1工程では、熱酸化法によって、単結晶シリコン基板11の表面に酸化膜12を形成する。この酸化膜12は、例えば厚さが620 μ mの6インチウエハでは、例えば500nm~600nmの膜厚に生成される。そのとき単結晶シリコン基板11の裏面側にも同様の酸化膜12が生成される。上記のようなウエハの場合、例えば4~6インチ型のLCDでは1個取りになり、例えば2インチ型のLCDでは4個取りになる。

【0017】その後、リソグラフィー技術とエッチングとによって、トランジスタを形成しようとする領域の上記酸化膜12(2点鎖線で示す部分)を除去する。

【0018】続いて図1の(2)に示すように、エピタキシャル成長法によって、上記単結晶シリコン基板11の露出面上および上記酸化膜12上に、エピタキシャル層13を堆積する。このエピタキシャル成長法では、P型シリコンのエピタキシャル層を堆積する場合には、例えば原料ガスにシラン(SiH₄)を用い、それにジボラン(B₂H₆)を添加する。またN型シリコンのエピタキシャル層を堆積する場合には、例えば原料ガスにシラン(SiH₄)を用い、それにホスフィン(PH₃)を添加する。そしていずれの場合にも搬送ガスには水素(H₂)を用いる。上記のようなガス系を用いて、エピタキシャル成長雰囲気温度を例えば1060℃、成長速度を例えば0.3 μ m/分に設定し、シリコンをエピタキシャル成長させる。

【0019】その結果、上記単結晶シリコン基板11上

には、膜厚が $10\mu\text{m}$ 程度の単結晶シリコンからなるエピタキシャル層13C（以下単結晶部のエピタキシャル層と記す）が成長し、上記酸化膜12上には膜厚が $10\mu\text{m}$ 程度の多結晶シリコンからなるエピタキシャル層13P（以下多結晶部のエピタキシャル層と記す）が成長する。なお、パターン性と結晶性のよい単結晶部のエピタキシャル層13Cを得るためには、あらかじめ酸化膜12上に多結晶シリコン膜（図示せず）を形成しておくのが良い。この場合には、多結晶シリコン膜を形成した後、この多結晶シリコン膜とともに酸化膜12をパターニングする。その後、エピタキシャル層13を堆積する。

【0020】次いで図1の（3）に示す第2工程を行う。この工程では、既知のCMOSTランジスタの製造プロセスによって、単結晶部のエピタキシャル層13CにLCDのスイッチングトランジスタ14および駆動用周辺回路部（図示せず）を形成する。このスイッチングトランジスタ14および駆動用周辺回路部は、例えばMOSTランジスタで構成される。なお、図面上、スイッチングトランジスタ14のハッチングは省略した。また、MOSTランジスタの代わりにバイポーラトランジスタ（図示せず）で形成することもある。

【0021】その後、単結晶部、多結晶部のエピタキシャル層13C、13P上にレジストを塗布してレジスト膜15を形成した後、露光、現像工程を行って上記レジスト膜15に開口部16を形成する。続いて反応性イオンエッチングによって、多結晶部のエピタキシャル層13P（2点鎖線で示す部分）を除去する。この反応性イオンエッチングでは、エッチングガスに例えば六フッ化イオウ（ SF_6 ）またはテトラフロロメタン（ CF_4 ）を用い、エッチング雰囲気圧力を例えば 50.7kPa 、RFパワーを例えば 300W に設定する。フッ酸系のエッチング液を用いてウェットエッチングを行う場合は、例えばフッ酸：硝酸：酢酸（混合比は例えば1：5：40）系のエッチング液を用いる。その後レジスト膜15を剥離除去する。

【0022】上記エッチング後、図1の（4）に示す第3工程を行う。この工程では、感光性で透光性の樹脂（例えばアクリル樹脂、エポキシ樹脂等）を塗布した後、露光、現像してパターニングし、多結晶部のエピタキシャル層（13P）を除去した部分に透光性の樹脂からなる埋込層17を形成する。この埋込層17の上面側は平坦化されている。なお、図1の（4）以降では、スイッチングトランジスタ14は簡単化して示す。

【0023】続いてスパッタ法によって、透光性の樹脂からなる埋込層17上側にITO（Indium Tin Oxide）膜を例えば 150nm の膜厚に成膜する。さらにリソグラフィ技術とエッチングとによって上記ITO膜をパターニングして画素電極部18を形成する。

【0024】その後、図1の（5）に示す第4工程を行

う。この工程では、上記画素電極部18側に接着テープ19を貼って台ガラス20を貼り付ける。この台ガラス20は、高平坦度を有するもので、例えば $1\mu\text{m}$ 以下の平坦度を有するものである。また上記接着テープ19には、例えば両面UV照射硬化型テープを用いる。上記台ガラス20を接着する方法としては、上記接着テープ19を用いる他に、例えば汚染物質を除いた蜜蝋のようなワックスを用いることも可能である。

【0025】その後図1の（6）に示す第5工程を行う。この工程では、単結晶シリコン基板11の裏面側から研削および研磨を行う。上記研磨では、基板の反りを防止するために、埋込層17および単結晶部のエピタキシャル層13Cの各裏面側における単結晶シリコン基板11を $5\mu\text{m}\sim 10\mu\text{m}$ 程度の厚さだけ残す。そして、残した単結晶シリコン基板11をエッチングして除去する。このようにエッチングによって最終的に単結晶シリコン基板11を除去することで、基板の反りを防止する。さらに裏面側に形成されていた酸化膜12をエッチングによって除去する。このとき、単結晶シリコン基板11の表面は、台ガラス20および接着テープ19で保護されているので、研削および研磨さらにエッチングでのダメージは無い。

【0026】上記単結晶シリコン基板11のエッチングは、例えばエッチングガスに六フッ化イオウ（ SF_6 ）を用いた反応性イオンエッチングで行う。また酸化膜12のエッチングは、例えばテトラフロロメタン（ CF_4 ）を用いた反応性イオンエッチングまたはフッ酸系のエッチング液を用いたウェットエッチングで行う。上記のようにして、図1の（6）に示すように、単結晶部のエピタキシャル層（13C）で単結晶シリコン架台21を形成する。なお、研削および研磨によって、酸化膜12まで除去することも可能である。

【0027】次いで第6工程を行う。この工程では、図2の（7）、（8）に示すように、透明接着剤22（例えば透明UV照射硬化型接着剤、または透明UV照射硬化型接着剤と加熱硬化型接着剤、もしくは加熱硬化型接着剤）を用いて、単結晶シリコン架台21、埋込層17等からなる画素側基板23の裏面側を色フィルター基板24に貼り合わせる。または図2の（9）、（10）に示すように、透明接着剤22を用いて、単結晶シリコン架台21、埋込層17等からなる画素側基板23の裏面側を下側ガラス基板25に貼り合わせる。

【0028】まず、色フィルター基板24に貼り合わせる場合を、図2の（7）、（8）によって説明する。図の（7）に示すように、透明接着剤22を用いて、単結晶シリコン架台21、埋込層17等からなる画素側基板23の裏面側を色フィルター基板24に貼り合わせる。その際、上記透明接着剤22に $2\sim 3\text{J}/\text{cm}^2$ 程度のエネルギーの紫外線（例えば波長が 365nm の紫外線）を照射して、透明接着剤22を硬化させる。このよ

うにして色フィルター基板 24 に画素側基板 23 の裏面側を接着する。その際、単結晶シリコン架台 21 の位置に色フィルター基板の R, G, B の各境界を合わせて、上記単結晶シリコン架台 21 に色フィルター基板 24 を貼り合わせる。また上記加熱硬化型接着剤を用いた場合には、貼り合わせた後、100℃～120℃程度の温度雰囲気中で 2 時間～3 時間のキュアを行う。

【0029】その後、台ガラス 20 を剥離する。さらに台ガラス 20 を接着していた接着テープ 19 を剥離する。なお、台ガラス 20、接着テープ 19 の剥離と色フィルター基板 24 の貼り合わせを一度の紫外線照射で行うことも可能である。

【0030】その後、単個に分割する場合には、例えばダイシングによって、所定の大きさ（例えば 2 インチ製品）に分割する。このとき、6 インチウエハで 2 インチサイズのを 4 個取る場合には、100% の歩留りを得ることは難しい。そこで、特性的に合格しているチップをダイシングによって分割し、その寸法に合った台ガラスに貼って、単個で裏面研削および研磨を行う。このように製造することによって、歩留りが向上できるとともに、高い平坦度を保った状態で高価な台ガラスを繰り返し使用することができるので製造コストが安くなる。さらに裏面研削および研磨の精度が向上し、光学的精度の向上と単結晶シリコン架台の強度の向上が実現できる。したがって、総合的に安価で光学的と特性のばらつきが少ない LCD を製造することができる。または、台ガラス 20、接着テープ 19 を付けた状態で分割し、その後、台ガラス 20 と接着テープ 19 とを剥離してもよい。なお、台ガラス 20 を蜜蝋等で接着する場合には、加熱した台ガラスを剥離した後、洗浄処理を行う。

【0031】次いで図 2 の (8) に示すように、画素側基板 23 上に配向剤として例えばポリイミド樹脂を塗布して、配向膜 26 を形成する。それとともに、上側ガラス基板 27 の液晶を封入する側の面に、例えばスパッタ法によって透明電極膜 28 を形成し、さらに配向剤として例えばポリイミド樹脂を塗布して配向膜 29 を形成する。上記透明電極膜 28 は、例えば ITO (Indium Tin Oxide) 膜で形成する。続いて、各配向膜 26、29 のラビングを行う。

【0032】さらにシール部（図示せず）および共通電極（図示せず）を塗布によって形成した後、画素側基板 23 と上側ガラス基板 27 とを 3 μm～5 μm 程度のセルギャップ 30 を設けて互いに重ね合わせしてシールする。そのため、上記シール部には例えば 3 μm～5 μm 程度のフィラー（図示せず）が混入されているので、そのフィラーがセルギャップ 30 を保つスペーサーになる。基板同士を重ね合わせた後、画素側基板 23 と上側ガラス基板 27 とのセルギャップ 30 に液晶 31 を注入して封止する。このようにして、液晶表示装置 (LCD) 1 が形成される。

【0033】上記液晶表示装置 1 の製造方法では、第 2 工程で単結晶シリコン基板 11 から成長させた単結晶部のエピタキシャル層 13C にスイッチングトランジスタ 14 および駆動用周辺回路部（図示せず）を形成する。単結晶部のエピタキシャル層 13C は電界効果電子移動度が大きいので、十分な駆動パワーと応答特性が良い単結晶シリコン基板の透過型の液晶表示装置 1 になる。

【0034】また第 3 工程で、多結晶部のエピタキシャル層 13P を除去した部分に透光性の樹脂からなる埋込層 17 を形成して、その上に画素電極部 18 を形成することから、画素部の光透過率は良くなる。さらに埋込層 17 を設けたことによって、その後の工程で加わる熱的応力や第 5 工程での研削、研磨時にかかる機械的応力が緩和される。

【0035】さらに色フィルター基板 24 の R, G, B の各境界部を単結晶シリコン架台 21 の位置で貼り合わせるから、単結晶シリコン架台 21 が色フィルター基板 24 のブラックマスクの代わりになる。そのため、色フィルター基板 24 にブラックマスクを形成する必要がないので、色フィルター基板 24 の製造コストが安価になる。

【0036】また図 2 の (9)、(10) に示すように、画素側基板 23 を下側ガラス基板 25 に貼り合わせることも可能である。この場合を以下に説明する。

【0037】図の (9) に示すように、透明接着剤 22 を用いて、単結晶シリコン架台 21、埋込層 17 等からなる画素側基板 23 の裏面側を下側ガラス基板 25 に貼り合わせる。そして、透明接着剤 22 に透明 UV 照射硬化型接着剤を用いた場合には、それに 2～3 J/cm² 程度のエネルギーの紫外線（例えば波長が 365 nm の紫外線）を照射して、透明接着剤 22 を硬化させる。このようにして下側ガラス基板 25 に画素側基板 23 の裏面側を接着する。

【0038】その後、台ガラス 20 を剥離する。さらに台ガラス 20 を接着していた接着テープ 19 を剥離する。

【0039】その後、単個に分割する場合には、例えばダイシングによって、所定の大きさ（例えば 2 インチ製品）に分割する。または、台ガラス 20、接着テープ 19 を付けた状態で分割し、その後、台ガラス 20 と接着テープ 19 とを剥離してもよい。

【0040】次いで図 2 の (10) に示すように、画素側基板 23 上に配向剤として例えばポリイミド樹脂を塗布して配向膜 26 を形成する。それとともに、色フィルター基板 24 の液晶を封入する側の面に、例えばスパッタ法によって透明電極膜 32 を形成し、さらに配向剤として例えばポリイミド樹脂を塗布して配向膜 33 を形成する。続いて各配向膜 26、33 のラビングを行う。なお、上記色フィルター基板 24 の R, G, B の境界部分には、例えばクロムからなるブラックマスク 34 が形成

されている。

【0041】さらにシール部（図示せず）およびコモン電極（図示せず）を塗布によって形成した後、画素側基板23と色フィルター基板24とを $3\mu\text{m}\sim 5\mu\text{m}$ 程度のセルギャップ30を設けて互いに重ね合わせてシールする。そして上記シール部には例えば $3\mu\text{m}\sim 5\mu\text{m}$ 程度のフィラー（図示せず）が混入されているので、それがセルギャップ30を保つスペーサーになる。基板同士を重ね合わせた後、画素側基板23と色フィルター基板24とのセルギャップ30に液晶31を注入封止する。

【0042】なお、上記透明UV照射硬化型接着剤の代わりに熱硬化型の透明接着剤を用いることも可能である。例えば透明エポキシ樹脂の接着剤または透明シリコーン樹脂の接着剤を用いて、 $100\sim 120^\circ\text{C}$ の温度雰囲気中に2～3時間放置することで接着剤を加熱硬化させる。そして、画素側基板23の裏面側を色ガラス基板24または下側ガラス基板25に貼り合わせる。

【0043】次に液晶表示装置の駆動用周辺回路部を単結晶部のエピタキシャル層に形成する方法を、図3の液晶パネルの概略構成図によって説明する。

【0044】まず上記図1の（1）で説明した第1工程で、シリコンのエピタキシャル層13を形成する際に、駆動用周辺回路41を形成する領域にも単結晶部のエピタキシャル層13Cを形成する。そして図3に示すようなピクセルアレー42に接続するnチャネルMOSトランジスタ43の他に、駆動用周辺回路41を形成しようとする領域に、水平シフトレジスタ44のCMOSトランジスタ（図示せず）、垂直シフトレジスタ45のCMOSトランジスタ（図示せず）等の回路部を形成する。各トランジスタの形成方法は、CMOSトランジスタの既知の形成方法と同様である。

【0045】図示はしないが、上記CMOSトランジスタの基本的な形成方法を簡単に説明する。まず、例えば熱酸化法によって、エピタキシャル層の表面に酸化膜を形成する。そして単結晶部のエピタキシャル層が例えばn型の場合には、p型不純物のドーピングによって、そのエピタキシャル層の上層にpウェル層を形成する。続いてエピタキシャル層の上層にnチャネルMOSトランジスタとpチャネルMOSトランジスタとの素子形成領域を分離する素子分離領域を形成する。次いで各素子形成領域の表面にゲート絶縁膜を形成する。続いてCVD法、スパッタ法、蒸着法等の成膜技術によって、ゲート電極形成膜を成膜する。その後リソグラフィ技術とエッチングとによって、ゲート電極形成膜をパターンニングして、nチャネルMOSトランジスタとpチャネルMOSトランジスタの各ゲート電極を形成する。さらに例えばイオン注入法によって、各ゲート電極の両側の単結晶部のエピタキシャル層に選択的に所定の導電型の不純物を導入し、nチャネルMOSトランジスタのソース・ドレインとpチャネルMOSトランジスタのソース・ドレ

インとを形成する。

【0046】上記説明したように、第2工程で、単結晶部のエピタキシャル層13CにnチャネルMOSトランジスタ43とともに駆動用周辺回路41の水平シフトレジスタ44、垂直シフトレジスタ45の各駆動用回路部を形成する製造方法では、駆動用周辺回路41を外付けする必要がなくなる。

【0047】次に画素電極部への集光率を高めた構造の製造方法の実施例を、図4の製造工程図によって説明する。図では、上記図1で説明したのと同様の構成部品には同一符号を付す。

【0048】まず上記図1で説明したと同様にして、第1工程と第2工程とを行う。すなわち図4の（1）に示すように、単結晶シリコン基板11の表面に膜厚が $500\text{nm}\sim 600\text{nm}$ 程度の熱酸化膜12を形成する。このとき単結晶シリコン基板11の裏面側にも同様の熱酸化膜12が生成される。続いて、スイッチングトランジスタを形成しようとする領域の熱酸化膜12を除去した後、単結晶シリコン基板11の露出面および上記熱酸化膜12上にシリコンのエピタキシャル層13を堆積する。このエピタキシャル層13は、単結晶シリコン基板11上では膜厚が $10\mu\text{m}$ 程度の単結晶部のエピタキシャル層13Cになり、熱酸化膜12上では膜厚が $10\mu\text{m}$ 程度の多結晶部のエピタキシャル層13Pになる。そして単結晶部のエピタキシャル層13Cにスイッチングトランジスタ14および駆動用周辺回路部（図示せず）を形成する。なお、図ではスイッチングトランジスタ14のハッチングは省略した。その後、多結晶部のエピタキシャル層13P（2点鎖線で示す部分）を除去する。上記除去した部分の側面は傾斜面に形成される。その傾斜面の傾斜角は、例えば $60^\circ\sim 70^\circ$ 程度の角度が好ましい。

【0049】次いで図4の（2）に示す第3工程を行う。この工程では、スパッタ法、蒸着法等の成膜技術によって、多結晶部のエピタキシャル層（13P）を除去した部分側を含む全面に、反射率の高い膜、例えばアルミニウム系金属膜51を成膜する。そして、リソグラフィ技術と選択エッチングとによって、スイッチングトランジスタ14の電極（例えばソース電極、ドレイン電極等）を上記アルミニウム系金属膜51で形成する。それとともに、エピタキシャル層（13P）を除去した部分上およびその傾斜部分に上記アルミニウム系金属膜（51）を残して反射膜52を形成する。

【0050】その後、図4の（3）に示すように、多結晶部のエピタキシャル層（13P）を除去した部分側を含む全面に感光性かつ透光性の樹脂（例えばアクリル樹脂、エポキシ樹脂等）を塗布する。その後リソグラフィ技術でパターンニングし、多結晶部のエピタキシャル層（13P）を除去した部分に透光性の樹脂からなる埋込層17を形成する。この埋込層17の上面側は平坦化

されている。

【0051】続いてスパッタ法によって、透光性の樹脂からなる埋込層17上側にITO (Indium Tin Oxide) 膜を、例えば150nmの膜厚に成膜する。そしてリソグラフィ技術と選択エッチングとによって、ITO膜をパターニングして画素電極部18を形成する。

【0052】その後、上記図1の(6)および図2の(7)～(10)で説明したと同様にして、第4工程、第5工程および第6工程を行う。すなわち、図4の(4)に示すように、上記画素電極部18側に、例えば10 接着テープ(図示せず)を貼って台ガラス(図示せず)を貼り付ける。その後、単結晶シリコン基板11の裏面側を研削および研磨して除去する。また必要に応じてエッチングを行う。そして単結晶部のエピタキシャル層(13C)で単結晶シリコン架台21を形成する。

【0053】さらに透明接着剤(例えば透明UV照射硬化型接着剤)22を用いて、単結晶シリコン架台21、埋込層17等からなる画素側基板23の裏面側を色フィルター基板24に貼り合わせる。その後、台ガラスと接着テープとを剥離する。

【0054】そして、単個に分割する場合には、例えばダイシングによって、所定の大きさ(例えば2インチ製品)に分割する。または、台ガラスと接着テープとを付けた状態で分割し、その後、台ガラスと接着テープとを剥離してもよい。

【0055】次いで、画素側基板23上に配向剤として例えばポリイミド樹脂を塗布して、配向膜26を形成する。それとともに、上側ガラス基板27の液晶を封入する側の面に、例えばスパッタ法によって透明電極膜28を形成し、さらに配向剤として例えばポリイミド樹脂を塗布して配向膜29を形成する。上記透明電極膜28は、例えばITO (Indium Tin Oxide) 膜で形成する。続いて、各配向膜26、29のラビングを行う。

【0056】さらにシール部およびコモン電極(図示せず)を塗布によって形成した後、画素側基板23と上側ガラス基板27とを3μm～5μmのセルギャップ30を設けて互いに重ね合わせてシールする。基板同士を重ね合わせてシールした後、画素側基板23と上側ガラス基板27とのセルギャップ30に液晶31を注入封止する。このようにして、液晶表示装置(LCD)1が形成される。

【0057】上記多結晶部のエピタキシャル層13Pを除去した傾斜部分の表面に反射膜52を形成する製造方法では、図5に示すように、反射膜52を形成したことによって、バックライト光Lが反射膜52によって反射され、さらに画素部へ入射されるので、画素部分への集光特性が高まる。

【0058】次に画素電極部への集光率を高めた構造の製造方法の実施例を、図5の製造工程図によって説明する。図では、上記図1、図2で説明したのと同様の構成

部品には同一符号を付す。

【0059】前記図4の(1)～(3)で説明したのと同様にして、第1工程～第3工程を行い、さらに上記図4の(4)で説明した第4工程を行う。その後、図6の(1)に示すように、単結晶シリコン架台21を透明接着剤22を用いて色フィルター基板24に貼り合わせる。その後、台ガラス(図示せず)および接着テープ(図示せず)を剥離する。

【0060】一方、画素側基板23に重ね合わせる上側ガラス基板27の重ね合わせ面側で、単結晶シリコン架台21に相対する位置に、略半円状断面を有するマトリックス溝61を形成する。このマトリックス溝61の幅は単結晶シリコン架台21の幅よりも狭く設定される。

【0061】上記マトリックス溝61は以下のように形成する。例えば、上側ガラス基板27にレジスト膜を塗布した後、露光、現像を行ってレジスト膜でエッチングマスクを形成する。そして等方的なエッチングを行うことによって、上側ガラス基板27に上記略半円状断面を有するマトリックス溝61を形成する。その後、通常のレジスト除去技術(例えばアッシング処理またはウェット処理)によってエッチングマスクを除去する。上記マトリックス溝61は、色フィルター基板24の開口部35の上方にかからないように形成される。

【0062】さらに図6の(2)に示すように、マトリックス溝61の表面に反射膜71を形成してもよい。上記反射膜71は、例えば以下のように形成する。まず、スパッタ法、蒸着法等の成膜技術を用いて、略半円状断面を有するマトリックス溝61を形成した側の上側ガラス基板27の表面にアルミニウム系金属膜72を、例えば1μm程度の厚さに形成する。次いで、マトリックス溝61の表面にアルミニウム系金属膜(72)を残し、その他の表面のアルミニウム系金属膜72(2点鎖線で示す部分)を除去するように、選択エッチングを行う。そしてマトリックス溝61の表面に残したアルミニウム系金属膜(72)で反射膜71を形成する。なお、図6の(2)では、上側ガラス基板27のみを示した。

【0063】その後図6の(3)に示すように、上記図4で説明したのと同様にして、透明電極膜28の形成、配向膜26、29の形成、ラビング、シール部(図示せず)およびコモン電極(図示せず)を塗布によって形成する。そして上側ガラス基板27と画素側基板23とをセルギャップ30を設けて重ね合わせてシールした後、そのセルギャップ30に液晶31を注入封止する。

【0064】上記のように、上側ガラス基板27に略半円状断面を有するマトリックス溝61を形成する液晶表示装置の製造方法によって製造されたものでは、図7に示すように、スイッチングトランジスタ14上に照射されていたバックライト光Lは反射膜71によって反射されて画素側に入射する。そのため、画素部への集光特性が向上する。また、反射膜71は、スイッチングトラン

ジスタ 14 のブラックマスクとなり、バックライト光による光リークを低減する。

【0065】またマトリックス溝 61 を形成することによって、その後の液晶 31 の注入工程では、液晶 31 がマトリックス溝 61 を通って注入される。そのため、液晶 31 の注入がスムーズになる。

【0066】次に、上側ガラス基板と画素側基板との間のセルギャップを調整する製造方法の一例を図 8 の製造工程図によって説明する。図 8 の (1) に示すように、上側ガラス基板 27 と画素側基板 23 との間に設けるシール部 32、(2 点鎖線で示す部分) の内側でかつそのシール部 32 に沿った上側ガラス基板 27 に、例えばマトリックス溝 61 に形成した反射膜 72 と同一層のアルミニウム系金属膜 (72) で上側セルギャップ調整膜 73 を形成する。すなわち、スパッタ法や蒸着法によって、上側ガラス基板 27 の表面にアルミニウム系金属膜 (72) を成膜する。そしてリソグラフィ技術とエッチングによって、所定の位置に上側セルギャップ調整膜 73 を形成する。

【0067】また、上側セルギャップ調整膜 73 の形成位置に対応する画素側基板 23 に画素側セルギャップ調整膜 81 を形成する。すなわち、画素側基板 23 に形成するスイッチングトランジスタ 14 のアルミニウムゲート 14G を形成するときに成膜したアルミニウム系金属膜 (82) を用いる。そしてアルミニウムゲートを形成するときのリソグラフィ技術とエッチングとによって、第 1 セルギャップ調整膜 83 を形成する。

【0068】さらに画素側基板 23 に設けたスイッチングトランジスタ 14 のソース・ドレイン電極 14SD および反射膜 52 を形成するときに成膜したアルミニウム系金属膜 (84) を用いる。そしてソース・ドレイン電極を形成するときのリソグラフィ技術とエッチングとによって、上記第 1 セルギャップ調整膜 83 上に第 2 セルギャップ調整膜 85 を形成する。このようにして、第 1、第 2 セルギャップ調整膜 83、85 で画素側セルギャップ調整膜 81 を形成する。

【0069】その後、埋込層 17 および画素電極部 18 を形成する。さらに単結晶シリコン基板 (図示せず) を除去して単結晶シリコン架台 21 を形成した後、透明接着剤 22 で色フィルター基板 24 に上記単結晶シリコン架台 21 を貼り合わせる。

【0070】その後図 8 の (2) に示すように、配向膜 26、透明電極膜 28、配向膜 29 等を形成し、さらにシール部 32、コモン電極 (図示せず) を形成する。そして上側ガラス基板 27 と画素側基板 23 とを重ね合わせてシールする。その際、上側セルギャップ調整膜 73 と画素側セルギャップ調整膜 81 とが接触して、上側ガラス基板 27 と画素側基板 23 との間のセルギャップ 30 が確保される。

【0071】上記説明したように、上側、画素側セルギ

ャップ調整膜 73、81 を設ける液晶表示装置の製造方法では、シールスペーサーが不要になる。またシール剤にフィラーを混入する必要がなくなる。そして上側、画素側セルギャップ調整膜 73、81 の各膜厚を制御することによって、セルギャップの制御が確実になる。

【0072】

【発明の効果】以上、説明したように本発明によれば、電界効果電子移動度が大きい単結晶シリコンのエピタキシャル層にスイッチングトランジスタ部を形成するので、応答特性に優れた、高品質、高精細の単結晶シリコン基板の透過型 LCD を製作することができる。

【0073】スイッチングトランジスタ部の形成領域とともに駆動用周辺回路の形成領域にも単結晶部のエピタキシャル層を形成して、その単結晶部のエピタキシャル層の駆動用周辺回路を形成する製造方法によれば、駆動用周辺回路を外付けする必要がなくなる。このため、駆動用周辺回路の組立工程がなくなり、液晶表示装置の製造が簡単化でき安価となる。

【0074】画素領域に透明樹脂の埋込層を形成する製造方法によれば、その後の製造工程で加えられる熱的応力や機械的応力を埋込層が緩和するので、単結晶部のエピタキシャル層に結晶欠陥、特にクラックが入り難い。このため、単結晶部のエピタキシャル層に形成されるスイッチングトランジスタの特性劣化を低減できる。

【0075】画素側基板の単結晶シリコン架台に相対する上側ガラス基板の位置に略半円状断面のマトリックス溝を形成する製造方法によれば、単結晶シリコン架台に照射される光線の一部分はマトリックス溝の表面で反射して画素側に入射するようになる。したがって、集光特性を向上させることが可能になる。さらに液晶はマトリックス溝を通して注入されるので、液晶の注入がスムーズにできる。また略半円状断面を有するマトリックス溝の表面に反射膜を形成する製造方法によれば、マトリックス溝の表面での反射率が向上されるので、画素部への集光特性をさらに向上させることができる。

【0076】シール部の内側でかつシール部に沿って、セルギャップ調整膜を設ける製造方法によれば、シールスペーサーを設けることが不要になる。またセルギャップ調整膜の膜厚を制御することによって、セルギャップの制御が確実に行うことができる。

【図面の簡単な説明】

【図 1】本発明の実施例の製造工程図 (その 1) である。

【図 2】本発明の実施例の製造工程図 (その 2) である。

【図 3】液晶パネルの概略構成図である。

【図 4】反射膜を設けた構造の製造工程図である。

【図 5】反射膜の作用の説明図である。

【図 6】反射膜を設けた構造の製造工程図である。

【図 7】反射膜とマトリックス溝の作用の説明図であ

る。

【図8】セルギャップの調整方法の説明図である。

【符号の説明】

1 液晶表示装置

11 単結晶シリコン基板

13C 単結晶部のエピタキシャル層

13P 多結晶部のエピタキシャル層

14 スイッチングトランジスタ

17 埋込層

18 画素電極部

21 単結晶シリコン架台

22 透明接着剤

24 色フィルター基板

25 下側ガラス基板

27 上側ガラス基板

32 シール部

41 駆動用周辺回路

52 反射膜

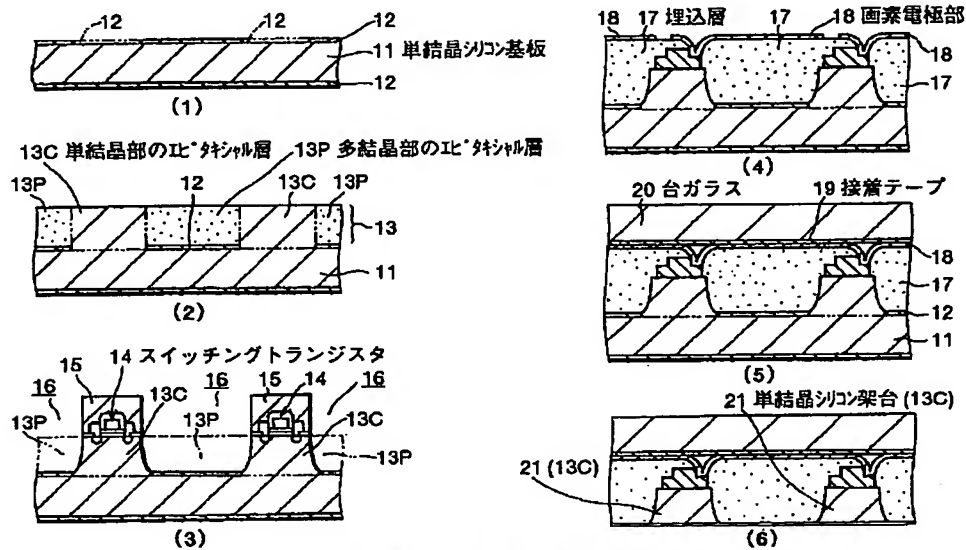
61 マトリックス溝

71 反射膜

10 73 上側セルギャップ調整膜

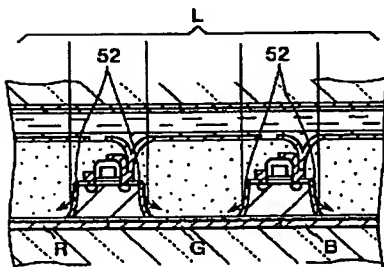
81 画素側セルギャップ調整膜

【図1】



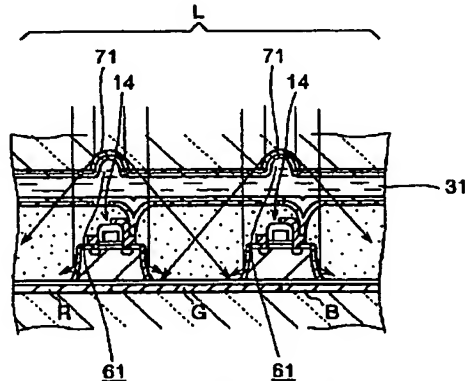
本発明の実施例の製造工程図（その1）

【図5】



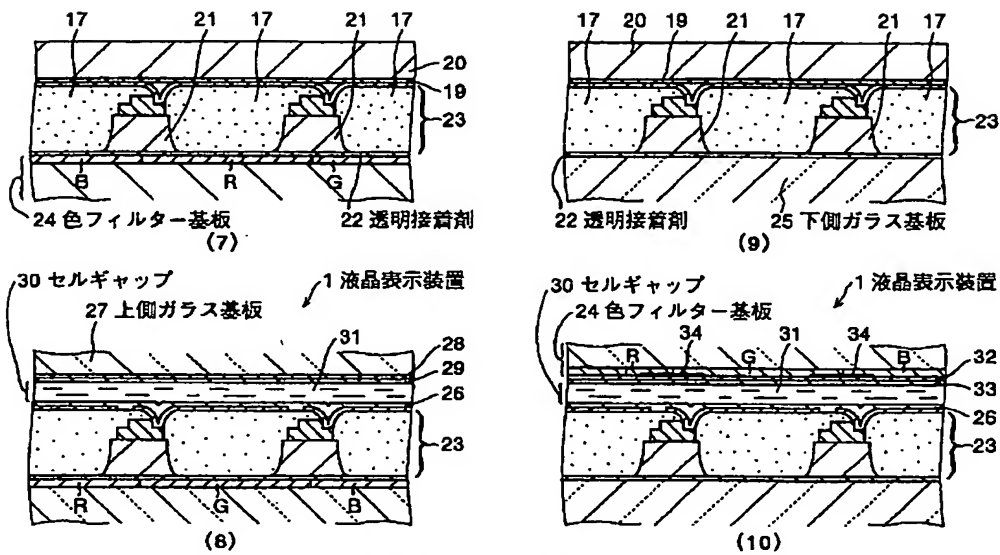
反射膜の作用の説明図

【図7】



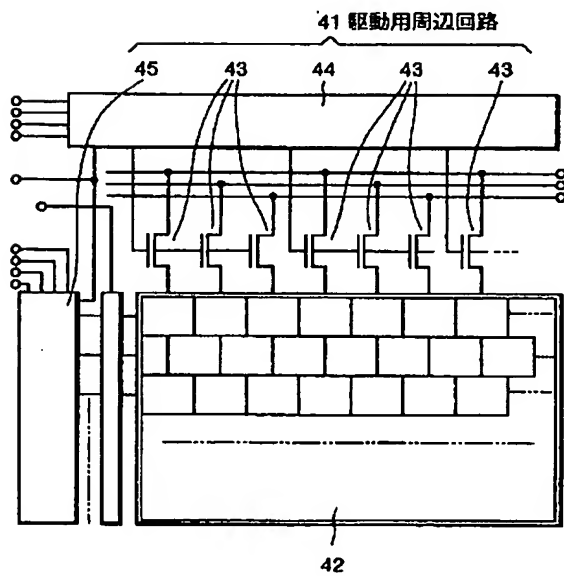
反射膜とマトリックス溝の作用の説明図

【図 2】



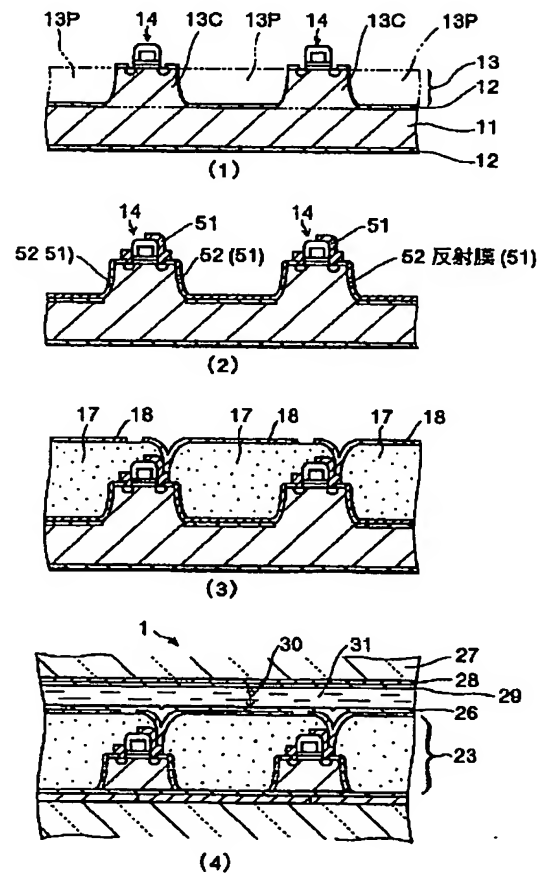
本発明の実施例の製造工程図 (その2)

【図 3】



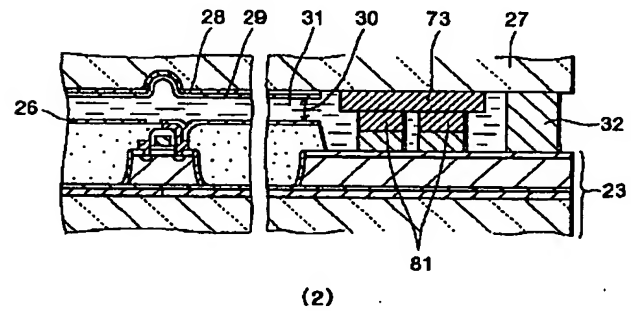
液晶パネルの概略構成図

【図 4】



反射膜を設けた構造の製造工程図

【图 8】



セルギャップの調整方法の説明図

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 2 区分
 【発行日】平成 13 年 6 月 29 日 (2001. 6. 29)

【公開番号】特開平 7-311391
 【公開日】平成 7 年 11 月 28 日 (1995. 11. 28)
 【年通号数】公開特許公報 7-3114
 【出願番号】特願平 6-128234
 【国際特許分類第 7 版】

G02F 1/136 500

H01L 27/12

29/786

21/336

【FI】

G02F 1/136 500

H01L 27/12 B

29/78 311 Y

【手続補正書】

【提出日】平成 12 年 6 月 5 日 (2000. 6. 5)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】0018

【補正方法】変更

【補正内容】

【0018】続いて図 1 の (2) に示すように、エピタキシャル成長法によって、上記単結晶シリコン基板 11 の露出面上および上記酸化膜 12 上に、エピタキシャル層 13 を堆積する。このエピタキシャル成長法では、P 型シリコンのエピタキシャル層を堆積する場合には、例えば原料ガスにシラン (SiH_4) を用い、それにジボラン (B_2H_6) を添加する。また N 型シリコンのエピタキシャル層を堆積する場合には、例えば原料ガスにシラン (SiH_4) を用い、それにホスフィン (PH_3)

を添加する。そしていずれの場合にも搬送ガスには水素 (H_2) を用いる。上記のようなガス系を用いて、エピタキシャル成長雰囲気温度を例えば 1060°C 、成長速度を例えば $0.3\ \mu\text{m}/\text{分}$ に設定し、シリコンをエピタキシャル成長させる。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正内容】

【0058】次に画素電極部への集光率を高めた構造の製造方法の実施例を、図 6 の製造工程図によって説明する。図では、上記図 1、図 2 で説明したのと同様の構成部品には同一符号を付す。